

TRANSLATION FROM JAPANESE

- (19) JAPANESE PATENT OFFICE (JP)
(11) Unexamined Patent Application (Kokai) No. 54-134554
(12) Unexamined Patent Gazette (A)

Identification		(52) Japanese	
(51) <u>Int Cl.</u> :	<u>Symbol</u> :	<u>Classification</u>	<u>JPO File No.</u> :
H01L 21/205		99(5) B 15	7739-5F
H01L 21/86		99(5) E 3	7739-5F
H01L 29/80			6603-5F

(43) Disclosure Date: October 19, 1979

Number of Inventions: 1

Request for Examination: Not filed

(4 pages total [in original])

-
- (54) Title of the Invention: **Wafer for semiconductor devices**
- (21) Application No. 53-42513
- (22) Filing Date: April 10, 1978
- (72) Inventor SHIBATOMI, Akihiro
Fujitsu Ltd.
1015 Shimokodanaka, Nakahara-ku, Kawasaki-shi
- (72) Inventor OZAWA, Akira
Fujitsu Ltd.
1015 Shimokodanaka, Nakahara-ku, Kawasaki-shi
- (71) Applicant FUJITSU LTD.
1015 Shimokodanaka, Nakahara-ku, Kawasaki-shi
- (74) Agent TAMAMUSHI, Kyugoro, Patent Attorney (3 others)

SPECIFICATION

1. Title of the Invention

Wafer for semiconductor devices

2 Claims

A wafer for semiconductor devices, characterized by comprising: a single crystal layer of γ -type aluminum oxide ($\gamma\text{-Al}_2\text{O}_3$); and a single crystal layer of a compound semiconductor, grown in sequence by epitaxy on a silicon single crystal substrate.

3 Detailed Description of the Invention

The present invention relates to a wafer for semiconductor devices having a single crystal layer of a compound semiconductor.

Wafers in which the compound semiconductor crystal layer has a homoepitaxial structure are typically used in compound semiconductor devices. Such wafers have multilayer structure produced by epitaxial deposition of single crystal compound semiconductor layers constituting a buffer layer, active layer, electrodes, etc. on a single crystal compound semiconductor substrate.

Single crystal compound semiconductor substrates of this kind are expensive and are responsible for most of the cost of the wafer. Such substrates are fabricated inter alia by a boat grown process or Czochralski method; however, [un]like single crystal silicon substrates, it is difficult to produce large-area products.

Accordingly, if it were desired to produce a large-area product at lower wafer cost, one could conceivably use a single crystal silicon substrate, which features large area at low cost. However, when compound semiconductor layers are epitaxially grown directly on a single crystal silicon substrate, differences in crystal structure or differences in lattice constant between the silicon and compound semiconductor make it difficult to produce single crystal compound semiconductor layers that are substantially free from crystal defects, have smooth faces, and are of sufficiently high quality for incorporation into semiconductor devices.

It is an object of the present invention to provide a wafer that employs single crystal silicon, which is inexpensive and easily fabricated with large area, and having epitaxially grown thereon compound semiconductor single crystal layers of high quality. A more detailed description follows.

Fig. 1 is a fragmentary sectional view showing a basic embodiment of the invention.

In the drawing, 1 is a single crystal silicon substrate, 2 is an aluminum oxide (Al_2O_3 , i.e., sapphire) single crystal layer, and 3 is a compound semiconductor single crystal layer.

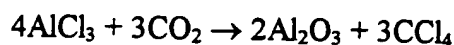
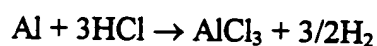
The wafer fabrication process is as follows.

(1) An aluminum oxide single crystal layer 2 is formed on silicon single crystal substrate 1 by vapor phase epitaxy.

The following two reaction systems can typically be employed for vapor phase epitaxy. These are (a) an alkyl derivative- $\text{CO}_2\text{-H}_2$ system; and (b) an $\text{AlCl}_3\text{-CO}_2\text{-H}_2$ system. Reaction system (a), however, poses risks in handling and involves excessively

low reaction temperature. Reaction system (b) has the drawback that AlCl_3 is very hygroscopic, and if water (H_2O) should be present during the reaction, a silicon dioxide film will form on the single crystal silicon substrate 1 during the initial stage of the reaction, making it difficult to produce the single crystal aluminum oxide layer 2.

According to the present invention, it is possible to simultaneously grow [epitaxial films] on a plurality of substrates at suitably high reaction temperature, and there is employed as the reaction system an $\text{Al-HCl-CO}_2\text{-H}_2$ (or N_2) system whereby formation of silicon dioxide film on the single crystal silicon substrate 1 is avoided during vapor phase epitaxy of the oxide (aluminum oxide). The formula for the epitaxy reaction is as follows.



The source materials for epitaxy are 5 N (99.999%) Al and 4 N (99.99%) HCl. The single crystal silicon substrate 1 is arranged on a carbon support stage and heated with high frequency. Where the temperature of the single crystal silicon substrate, that is the crystal growing temperature for sapphire, is 1100-1200°C, it becomes possible to epitaxially grow a single crystal aluminum layer (sapphire) 2 on the single crystal silicon substrate. In particular, γ -sapphire of good quality can be produced at a crystal growing temperature of 1160°C. At crystal growing temperatures outside of the 1100-1200°C crystal growing temperature range, α -sapphire or α -/ γ -sapphire mixed crystal layers can be produced. In particular, α -sapphire of good quality can be produced at a crystal growing temperature of 1080°C.

(2) Using a vapor phase epitaxy process wherein an alkyl compound is pyrolyzed, a single crystal compound semiconductor layer 3 is epitaxially grown over the single crystal aluminum layer 2.

Where the compound semiconductor is gallium arsenide (GaAs), there are typically three possible reaction systems for conducting vapor phase epitaxy, namely, (a) trimethylgallium (TMG, $(\text{CH}_3)_3\text{Ga}$) and arsine (AsH_3); (b) triethylgallium ($(\text{C}_2\text{H}_5)_3\text{Ga}$) and AsH_3 ; and (c) diethylgallium chloride ($(\text{C}_2\text{H}_5)_2\text{GaCl}$) and AsH_3 .

The present invention employs a TMG- AsH_3 system. The single crystal silicon substrate 1 having the single crystal aluminum layer 2 is subjected to heating in the same manner as in the above process (1).

With the molar ratio of source materials set to $\text{XAsH}_3/\text{XTMG} = 10$ to 30 and the epitaxy temperature to 700-740°C, it is possible to grow GaAs single crystal of high quality with a highly smooth face.

Where it is desired to convert the GaAs single crystal to n type, hydrogen sulfide (H_2S) or hydrogen selenide (H_2Se) can be used as a dopant, and where the p type is desired, dibutylzinc ($(\text{C}_4\text{H}_9)_2\text{Zn}$) or dimethylzinc ($(\text{C}_2\text{H}_5)_2\text{Zn}$) can be used as a dopant.

As noted, according to the present invention, by interposing an epitaxial single crystal aluminum oxide layer 2, it becomes possible to epitaxially grow a single crystal compound semiconductor (e.g., GaAs) layer 3 of high quality on a single crystal silicon substrate, while offering the advantages of low cost and large area. This technique serves as a basis for further increases in quality in single crystal compound semiconductor layers.

As will be apparent from Fig. 2, for example, where a $\gamma\text{-Al}_2\text{O}_3$ single crystal layer 2' 0.1-0.2 μm in thickness is grown on a single crystal silicon substrate 1 and a GaAs single

crystal layer 3' is epitaxially grown thereon, the surface of the GaAs single crystal layer 3' will be substantially free of defects and have a smooth surface.

Single crystal aluminum oxide typically refers to single crystal α - Al_2O_3 , and crystal growing of compound semiconductors on such single crystal α - Al_2O_3 substrates is known in the art. The crystalline properties of compound semiconductors on single crystal α - Al_2O_3 substrates are not necessarily good; GaAs crystal grown on single crystal α - Al_2O_3 , for example, has significantly reduced mobility compared to GaAs grown on a GaAs substrate, and is more susceptible to abnormal growth resulting in an inability to achieve a smooth crystal surface.

However, compound semiconductor crystals on single crystal γ - Al_2O_3 substrates have quality sufficient for production of semiconductor devices.

Where a single crystal GaAs layer is epitaxially grown on a single crystal aluminum oxide layer, better results are obtained when the aluminum oxide layer is γ - Al_2O_3 rather than α - Al_2O_3 , the reason being that the single crystal GaAs layer has a smooth surface substantially devoid of irregular growth of hillock or pyramid form, as well as uniform thickness. Thus, when conducting epitaxy in accordance with the present invention, a single crystal γ - Al_2O_3 layer 2' is epitaxially grown in single crystal silicon substrate 1, followed by GaAs epitaxy.

As noted, where a single crystal GaAs layer is epitaxially grown on a single crystal aluminum oxide layer, the layer is more resistant to irregular growth where the aluminum oxide layer is γ - Al_2O_3 rather than α - Al_2O_3 , the reason being that α - Al_2O_3 has a hexagonal crystalline structure whereas γ - Al_2O_3 has the same cubic spinel structure as GaAs,

resulting in fewer defects due to lattice mismatch. In the example depicted in Fig. 2, the single crystal silicon substrate has a crystal plane diverging from the low index plane by several degrees (2 to 5 degrees, for example), whereby the proportion of irregular growth in the single crystal GaAs layer 3' is sharply reduced.

In the manufacture of a semiconductor device of planar configuration, such as a GaAs MESFET, the substrate is an insulator or semi-insulator. Accordingly, the wafer depicted in Fig. 1 or Fig. 2 could be used, but better results will be obtained using a wafer having the structure depicted in Fig. 3.

In Fig. 3, 1 is a single crystal silicon substrate, 2 is a single crystal aluminum oxide layer, 4 is a semi-insulator single crystal GaAs layer (buffer layer), 5 is an n type single crystal GaAs layer (active layer), and 6 is an n^+ type single crystal GaAs (or GaAlAs) layer (electrode layer).

The semi-insulator single crystal GaAs layer serving as the buffer layer can be produced by doping the crystal thereof with an impurity such as chromium (Cr), iron (Fe), manganese (Mn), or oxygen (O) that creates deep impurity levels in the semiconductor, and epitaxial growth.

On the n type single crystal GaAs layer 5 serving as the active layer is grown an electrode layer of an n^+ type single crystal GaAs 6 or, for a p-n junction, of GaAlAs.

MESFETs produced from such a wafer have static and active characteristics, i.e., output, gain, g_m , and f_{max} , about the same as conventional MESFETs, namely, those with an homoepitaxial active layer on a semi-insulator GaAs substrate.

The preceding description relates to a wafer adapted for MESFET production. Important devices that use compound semiconductors include microwave semiconductors

such as Gunn diodes, varactors, and mixer diodes. Where such devices are to be hybridized, a wafer like that depicted in Fig. 4 should be used. The illustrated wafer has an n^+ type single crystal GaAs layer 7 as the electrode layer grown on a single crystal aluminum oxide layer 2, and an n type single crystal GaAs layer 5 formed thereon as the active layer, allowing it be used in production of planar semiconductor devices. Impurity concentration in the n^+ type single crystal GaAs layer 7 is typically $5 \times 10^{16} \text{ cm}^{-3}$.

From the preceding description it will be apparent that according to the present invention there is now provided a wafer wherein a single crystal compound semiconductor layer of good quality is grown on an inexpensive, large-area single crystal silicon substrate via a single crystal aluminum oxide film, and that the use of this wafer affords dramatically cheaper fabrication.

4. Brief Description of the Drawings

Figs. 1 through 4 are fragmentary sectional views of different embodiments of the invention.

In the drawings, 1 is a single crystal silicon substrate; 2 is a single crystal aluminum oxide layer; and 3 is a single crystal compound semiconductor layer.

Applicant FUJITSU LTD.

Agent: TAMAMUSHI, Kyugoro, Patent Attorney (3 others)

⑫公開特許公報(A)

昭54—134554

⑤Int. Cl.²

H 01 L 21/205

H 01 L 21/86

H 01 L 29/80

識別記号

⑥日本分類

99(5) B 15

99(5) E 3

庁内整理番号

7739—5F

7739—5F

6603—5F

④公開 昭和54年(1979)10月19日

発明の数 1

審査請求 未請求

(全 4 頁)

⑭半導体装置用ウエーハ

⑰特 願 昭53—42513

⑱出 願 昭53(1978)4月10日

⑲発 明 者 柴富昭洋

川崎市中原区上小田中1015番地
富士通株式会社内

⑲発 明 者 大沢昭

川崎市中原区上小田中1015番地
富士通株式会社内

⑳出 願 人 富士通株式会社

川崎市中原区上小田中1015番地

㉑代 理 人 弁理士 玉虫久五郎 外3名

明 細 書

1 発明の名称

半導体装置用ウエーハ

2 特許請求の範囲

シリコン単結晶基板上に順次エピタキシャル成長せしめられたⅡ型酸化アルミニウム($\text{r-Al}_2\text{O}_3$)単結晶層及び化合物半導体単結晶層を有してなることを特徴とする半導体装置用ウエーハ。

3 発明の詳細な説明

本発明は、化合物半導体結晶層を有する半導体装置用ウエーハの構造に関する。

一般に、化合物半導体装置では、化合物半導体結晶層がホモ・エピタキシャル構造をなすウエーハを用いることが行なわれている。そのようなウエーハとしては、化合物半導体単結晶基板上にバッファ層、動作層、電極層等となる化合物半導体単結晶層をそれぞれエピタキシャル成長させた多層構造のものが用いられている。

ところで、前記化合物半導体単結晶基板はかなり高価なものであって、ウエーハ・コストの大半

を占める。また、そのような基板は、例えば、ボート・クロン法やチョクラスキー法で製造されるが、シリコン単結晶基板のように大面積のものが得られにくいことも問題である。

従って、ウエーハ・コストを低減させ、大面積のものを得ようとするのであれば、単結晶基板としてシリコン単結晶基板のように安価で大面積のものをを用いれば良いが、シリコン単結晶基板上に化合物半導体単結晶層を直接エピタキシャル成長させた場合、シリコンと化合物半導体との結晶構造の相違或いは格子定数の相違がある為、結晶欠陥が少なく、鏡面を有し、半導体装置を作り込める程度に高品質である化合物半導体単結晶層を得ることは困難である。

本発明は、安価で大面積のものが得られ易いシリコン単結晶を基板として用い、その上に高品質の化合物半導体単結晶層をエピタキシャル成長させたウエーハを得られるようにするものであり、以下これを詳細に説明する。

第1図は本発明の基本的実施例を採つた要部側

断面図である。

図に於いて、1はシリコン単結晶基板、2は酸化アルミニウム (Al_2O_3 即ちサファイヤ) 単結晶層、3は化合物半導体単結晶層である。

このウエーハの製造方法は次の通りである。

- (1) シリコン単結晶基板1上に酸化アルミニウム単結晶層2を気相成長法を適用して形成する。

この気相成長法を実施するには、通常、次の二つの反応系が考えられる。即ち、(イ) アルキル誘導体- CO_2-H_2 系、(ロ) $AlCl_3-CO_2-H_2$ 系である。しかしながら、(イ)の反応系は、その取扱いが危険であり、また、反応温度が低過ぎる欠点がある。(ロ)の反応系は $AlCl_3$ の吸湿性が強いので、成長反応中に水分 (H_2O) が混入されて反応初期段階でシリコン単結晶基板1の表面に二酸化シリコン膜が形成され、酸化アルミニウム単結晶層2が得られ難い欠点がある。

そこで、本発明では、反応温度が適当に高く、多数基板への同時成長が可能であり、また、酸化物質(酸化アルミニウム)の気相成長ではあ

事が出来る。

- (2) アルキル化合物の熱分解を利用した気相成長法を適用して酸化アルミニウム単結晶層2上に化合物半導体単結晶層3をエピタキシャル成長させる。

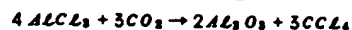
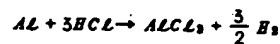
化合物半導体がガリウム砒素 ($GaAs$) である場合、この気相成長法を実施するには、通常、次の三つの反応系が考えられる。即ち、(イ) トリメチルガリウム ($TMG: (CH_3)_3Ga$) とアルシン (AsH_3)、(ロ) トリエチルガリウム ($(C_2H_5)_3Ga$) と AsH_3 、(ハ) ジエチルガリウムクロライド ($(C_2H_5)_2GaCl$) と AsH_3 である。

本発明では、 $TMG-AsH_3$ 系を採用し、酸化アルミニウム単結晶層2を有するシリコン単結晶基板1を前記工程(1)の場合と同様にして加熱昇温させる。

原料のモル比を $XAsH_3 / XTMG = 10 \sim 30$ 、成長温度を $700 \sim 740 [^\circ C]$ として、高品質且つ鏡面を有する $GaAs$ 単結晶を成長させることができた。

特開昭54-134554(2)

るが、シリコン単結晶基板1の表面が二酸化シリコン膜が形成されないようになし得る反応系として、 $Al-HCl-CO_2-H_2$ (或いは N_2) 系を用いる。その場合の成長反応式は次の通りである。



この場合の成長材料としては、 $5N(99.999\%)$ の Al 及び $4N(99.99\%)$ の HCl を用いる。また、シリコン単結晶基板1はカーボン製支持台上に設置し、高周波加熱して昇温させる。シリコン単結晶基板の温度即ちサファイヤの結晶成長温度を $1100 \sim 1200^\circ C$ にした場合、シリコン単結晶基板上に酸化アルミニウム単結晶層(サファイヤ)2をエピタキシャル成長する事が出来る。特に結晶成長温度が $1160^\circ C$ の時に良質の r -サファイヤを得る事が出来る。一方上記の結晶成長温度 $1100 \sim 1200^\circ C$ 以外の結晶成長温度領域では α -サファイヤ又は α と r サファイヤの混晶層が出来る。時に $1080^\circ C$ で良質の α -サファイヤの単結晶をエピタキシャル成長する

尚、 $GaAs$ 単結晶を n 型にするには、ドーパントとして碲化水素 (H_2S) 又はセレン化水素 (H_2Se) を用い、また、 p 型にするには、ドーパントとしてジブチルジシラン ($(C_4H_9)_2Si$) 又はシメチルジシラン ($C_2H_5)_2Si$ を用いると良い。

以上

前記したように、本発明では、エピタキシャル成長の酸化アルミニウム単結晶層2を介在させることに依り、安価且つ大面積のものを得ることが容易であるシリコン単結晶基板1の上に高品質の化合物半導体(例えば $GaAs$) 単結晶層3をエピタキシャル成長させることができたが、この技術を基礎にして化合物半導体単結晶層を更に高品質化することが可能である。

即ち、例えば第2図に見られるように、シリコン単結晶基板1に厚さ $0.1 \sim 0.2 [\mu m]$ の $r-Al_2O_3$ 単結晶層2'を成長させ、その上に $GaAs$ 単結晶層3'をエピタキシャル成長させると、その $GaAs$ 単結晶層3'の表面は極めて欠陥が少ない、しかも、良好な鏡面にすることができる。

一般に酸化アルミニウム単結晶は、 $\alpha\text{-Al}_2\text{O}_3$ 単結晶を指しており、この $\alpha\text{-Al}_2\text{O}_3$ 単結晶基板上へ化合物半導体の結晶成長は知られている。このような $\alpha\text{-Al}_2\text{O}_3$ 単結晶基板上の化合物半導体の結晶特性は必ずしも良好なものではなく、例えば、 GaAs 基板上へ成長した GaAs 結晶に比べて $\alpha\text{-Al}_2\text{O}_3$ 単結晶への GaAs 結晶は、移動度が極端に低い、異常成長が生じやすく鏡面状態の結晶表面が得られない等の問題があった。

しかし、 $\gamma\text{-Al}_2\text{O}_3$ 単結晶基板への化合物半導体結晶は半導体装置の製造に供するのに充分な良質の結晶である。

酸化アルミニウム単結晶層上に GaAs 単結晶層をエピタキシャル成長させる場合、酸化アルミニウムが $\alpha\text{-Al}_2\text{O}_3$ である場合よりも $\gamma\text{-Al}_2\text{O}_3$ である方が好結果が得られる理由として、例えば、ヒル・ロックやピラミッド状の異常成長、クラック等が殆んどなく、鏡面を有し、厚さが均一である

GaAs 単結晶層を得ることができる。従って、本発明に依る成長を行なうには、シリコン単結晶基

板 1 上に $\gamma\text{-Al}_2\text{O}_3$ 単結晶層 2' をエピタキシャル成長させて、 GaAs の成長を行なうと良い。

前記のように酸化アルミニウム単結晶層上に GaAs 単結晶層を成長させる場合、酸化アルミニウムが $\alpha\text{-Al}_2\text{O}_3$ であるよりも $\gamma\text{-Al}_2\text{O}_3$ である方が異常成長を生じ難い理由として、 $\alpha\text{-Al}_2\text{O}_3$ が六方晶構造であるのに対し、 $\gamma\text{-Al}_2\text{O}_3$ は GaAs と同じく立方晶スピネル構造であるため、格子不整合に依る欠陥発生が少ないものと考えられる。尚、第 2 図実施例に於いて、シリコン単結晶基板 1 として、その結晶面が低指数面より数度、例えば 2~5 [度] ずれたものを使用することに依り、 GaAs 単結晶層 3' に発生する異常成長の割合は更に急激に低下する。

さて、例えば、 GaAs-MES-FET のようなプレーナ構造の半導体装置を製造する場合、基板としては、絶縁性或いは半絶縁性のものを使用する。従って、第 1 図或いは第 2 図に見られるウエーハを用いることができるが、より良い効果を得るためには第 3 図に見られる構造のウエーハを使用すると

良い。

第 3 図に於いて、1 はシリコン単結晶基板、2 は酸化アルミニウム単結晶層、4 は半絶縁性 GaAs 単結晶層（バッファ層）、5 は n 型 GaAs 単結晶層（動作層）、6 は p^+ 型 GaAs （或いは GaAlAs ）単結晶層（電極層）である。

前記バッファ層である半絶縁性 GaAs 単結晶層 4 は、結晶中にクロム (Cr)、鉄 (Fe)、マンガン (Mn)、酸素 (O) 等、半導体中で深い不純物単位を作る不純物をドーピングし、エピタキシャル成長に依り得ることができる。

動作層である n 型 GaAs 単結晶層 5 上には電極層である p^+ 型 GaAs 単結晶層 6 を成長するか、或いは、 $p-n$ 接合型であれば GaAlAs を成長させるものである。

このようにして得られたウエーハを用いて製造された MES-FET は出力、利得、 f_m 、 f_{max} 全ての点に於いて、従来のウエーハ、即ち、半絶縁性 GaAs 基板上に動作層をホモ・エピタキシャル成長させた構成のものを用いた MES-FET と静的にも

動的にも類似する特性を得ることができた。

前記説明は MES-FET を製造するのに好適なウエーハに関するものであるが、化合物半導体を用いる装置の重要なものとしてガン・ダイオード、バラクタ、ミキサ・ダイオード等のマイクロ波半導体装置があり、このような装置をハイブリッド化する場合、第 4 図に見られるようなウエーハを用いると良い。即ち、図示のウエーハでは、酸化アルミニウム単結晶層 2 の上に電極層として p^+ 型 GaAs 単結晶層 7 を成長させてあり、その上に動作層である n 型 GaAs 単結晶層 5 を成長させればプレーナ型半導体装置の製造に用いることができる。尚、 p^+ 型 GaAs 単結晶層 7 に於ける不純物濃度は、通常、 $5 \times 10^{18} [\text{cm}^{-3}]$ 以上とする。

以上の説明で判るように、本発明に依れば、 GaAs 単結晶基板より安価であり、且つ、大面積のものが容易に得られるシリコン単結晶基板上に酸化アルミニウム単結晶層を介して良質の化合物半導体単結晶層を形成したウエーハが得られ、このウエーハを用いることに依り、化合物半導体装置は

著しく安価に製造できることになる。

4. 図面の簡単な説明

第1図乃至第4図は本発明に依るそれぞれ異なる実施例の要部側断面図である。

図に於いて、1はシリコン単結晶基板、2は酸化アルミニウム単結晶層、3は化合物半導体単結晶層である。

特許出願人 富士通株式会社

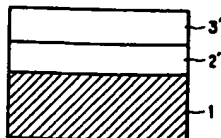
代理人弁理士 玉 島 久 五 郎 (外3名)

特開 昭54- 134554(4)

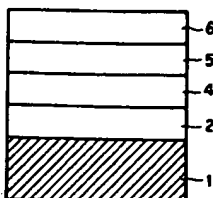
才 1 図



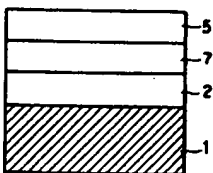
才 2 図



才 3 図



才 4 図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.